(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 548 791**

(21) Número de solicitud: 201400224

(51) Int. Cl.:

H01L 27/00 (2006.01)
H04N 5/335 (2011.01)

(12) SOLICITUD DE PATENTE A1

(22) Fecha de presentación:

20.03.2014

(43) Fecha de publicación de la solicitud:

20.10.2015

(56) Se remite a la solicitud internacional:

PCT/ES2015/000037

(71) Solicitantes:

UNIVERSIDAD DE SEVILLA (80.0%)
Paseo de las Delicias s/n - Pabellón de Brasil
41013 Sevilla ES y
CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS (20.0%)

(72) Inventor/es:

FERNÁNDEZ BERNI , Jorge ;
RODRÍGUEZ VÁZQUEZ, Ángel;
DEL RÍO FERNÁNDEZ , Rocío y
CARMONA GALÁN, Ricardo

(74) Agente/Representante:

GONZÁLEZ CARVAJAL, Ramón

(54) Título: **Hardware para cómputo de la imagen integral**

(57) Resumen:

La presente invención, según se expresa en el enunciado de esta memoria descriptiva, consiste en hardware de señal mixta para cómputo de la imagen integral en el plano focal mediante una agrupación de celdas básicas de sensado-procesamiento cuya interconexión puede ser reconfigurada mediante circuitería periférica que hace posible una implementación muy eficiente de una tarea de procesamiento muy útil en visión artificial como es el cálculo de la imagen integral en escenarios tales como monitorización de espacios naturales, robótica, ayuda a la navegación aérea no tripulada, etc.

El área científico-técnica de la invención es la de tecnologías físicas, concretamente microelectrónica. Su marco de aplicación general sería el de sistemas electrónicos de muy bajo consumo de potencia diseñados para llevar a cabo tareas de visión artificial, es decir, captura de imágenes, análisis de las mismas y actuación en caso de que los resultados de dicho análisis así lo requieran. Como aplicaciones específicas de estos dispositivos se podrían proponer a su vez numerosos ejemplos: monitorización de procesos industriales, monitorización de espacios naturales, vigilancia automatizada de lugares públicos, robótica, ayuda a la navegación aérea no tripulada, etc.

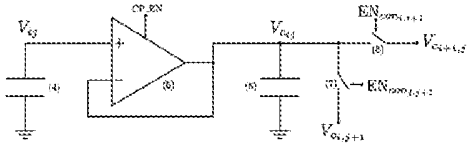


Figura 2

ES 2 548 791 A1

DESCRIPCIÓN

Hardware para cómputo de la imagen integral.

OBJETO DE LA INVENCION

La presente invención, según se expresa en el enunciado de esta memoria descriptiva, consiste en hardware de señal mixta para cómputo de la imagen integral en el plano focal mediante una agrupación de celdas básicas de sensado-procesamiento cuya interconexión puede ser reconfigurada mediante circuitería periférica que hace posible una implementación muy eficiente de una tarea de procesamiento muy útil en visión artificial como es el cálculo de la imagen integral en escenarios tales como monitorización de espacios naturales, robótica, ayuda a la navegación aérea no tripulada etc.

El área científico-técnica de la invención es la de tecnologías físicas, concretamente microelectrónica. Su marco de aplicación general sería el de sistemas electrónicos de muy bajo consumo de potencia diseñados para llevar a cabo tareas de visión artificial, es decir, captura de imágenes, análisis de las mismas y actuación en caso de que los resultados de dicho análisis así lo requieran. Como aplicaciones específicas de estos dispositivos se podrían proponer a su vez numerosos ejemplos: monitorización de procesos industriales, monitorización de espacios naturales, vigilancia automatizada de lugares públicos, robótica, ayuda a la navegación aérea no tripulada etc.

ESTADO DE LA TÉCNICA

El hardware objeto de la presente invención se localizaría físicamente dentro de sistemas empotrados de visión artificial, es decir, sistemas compactos capaces de analizar visualmente una escena de manera autónoma y extraer conclusiones sobre la misma. En concreto, formaría parte del dispositivo fotosensible encargado de capturar las imágenes que son posteriormente procesadas por el resto de elementos del sistema. Este dispositivo, conocido como sensor de imagen, no solo se limitaría a capturar imágenes y, posiblemente, a realizar tareas de mejora de calidad de las mismas–como por ejemplo filtrado de ruido–sino que también podría llevar a cabo el cómputo de las imágenes integrales correspondientes a las imágenes capturadas gracias al hardware propuesto en este documento. Cada pixel de una imagen integral se obtiene como la suma de los pixeles

situados por encima y a la izquierda de ese pixel en la imagen original, de acuerdo a la definición establecida en la especificación industrial OpenVX [*OpenVX [Provisional] Specification, versión 1.0, KhronosGrouphttps://www.khronos.org/openvx, noviembre 2013*].

Se podrían citar muchos ejemplos, tanto comerciales como reportados en artículos de investigación, de sensores de imagen "inteligentes" capaces de pre-procesar imágenes como valor añadido a su funcionalidad básica, esto es, captura de imágenes con la mayor calidad posible. Sin embargo, este número se reduce considerablemente cuando el modo de operación de dichos sensores inteligentes se restringe al del hardware objeto de esta invención. Hablamos de una operación basada en una agrupación matricial de celdas básicas de sensado-procesamiento interconectadas entre sí dentro de un circuito integrado, también comúnmente conocido como chip. Estas celdas explotan el uso de circuitería de señal mixta para llevar a cabo, de forma masivamente paralela, determinadas tareas de bajo nivel sobre las imágenes sensadas. Alrededor de esta matriz se localiza circuitería periférica que realiza labores de control, polarización y configuración de dicha matriz. A nivel comercial, el mejor exponente de esta estructura hardware son los sensores inteligentes diseñados por la compañía "Innovaciones Microelectrónica S.L", comercialmente conocida como Anafocus [*Innovaciones Microelectrónicas S.L., www.anafocus.com*]. A nivel académico, numerosos grupos de investigación de diferentes países han propuesto sensores inteligentes que integran elementos fotosensibles, como por ejemplo fotodiodos, con circuitería a nivel de pixel capaz de manejar tanto señales analógicas como digitales (señal mixta) con el objeto de pre-procesar imágenes [*Nilchi A, Aziz J, Genov R. "Focal-planealgorithmically-multiplying CMOS computationalimage sensor," IEEE J. Solid-StateCircuits 2009; 44(6):1829-1839];[Jendernalik W, Blakiewicz G, Jakusz J, Szczepanski S, Piotrowski R. "Ananalog sub-miliwatt CMOS image sensor with pixel-levelconvolutionprocessing," IEEE Trans. CircuitsSyst. I 2013; 60(2):279-289];[Fernández-Berni J, Carmona-Galan R. "All-MOS implementation of RC networksfor time-controlledGaussianspatialFiltering," Int. J. of CircuitTheory and Applications 2012; 40(8):859-876];[Gottardi M, Massari N, Jawed SA. "A 100W 12864 pixelscontrast-basedasynchronousbinaryvisión sensor for sensor networksapplications," IEEE J. Solid-StateCircuits 2009; 44(5):1582-1592];[Leñero-Bardallo JA, Serrano-Gotarredona T, Linares-Barranco B. "A 3.6us latencyasynchronousframe-freeevent-drivendynamic-vision-sensor," IEEE J. Solid-StateCircuits 2011; 46(6):1443-1455].*

Si nos centramos exclusivamente en la operación de cómputo de la imagen integral basada en la arquitectura de sensado-procesamiento que acabamos de describir, no hemos encontrado ninguna referencia proponiendo una implementación remotamente similar. Sí se pueden citar dos ejemplos de incorporación del cálculo de la imagen integral sobre un sensor inteligente [*Hoseini YD, Sayedi SM, Sadri S. "A novel CMOS image sensor for high speed parallel integral image computation," 21st Iranian Conference on Electrical Engineering (ICEE), 2013];[Jing-Shan Liang, Chien-Hong Lin, Tzu-Fang Lee, Kuo-Yu Chuang. "Image sensor having output of integral image," US patent US 2010/0238312 A1],* pero en ambos casos la operación no está basada en una matriz de elementos de sensado-procesamiento donde el procesamiento se realice de forma masivamente paralela. En estos chips, los sensores conforman una matriz exclusivamente de sensado, enviándose la información que captan a la periferia de dicha matriz donde se procesa de forma agregada.

DESCRIPCIÓN DE LA INVENCIÓN

A modo de descripción de la invención, la estructura básica del hardware propuesto consiste en una distribución espacial regular bidimensional de celdas de sensado-procesamiento localmente interconectadas. Esta interconexión es reconfigurada de manera independiente para cada par de filas y columnas adyacentes mediante circuitería de control periférica.

En ella se presenta una agrupación de celdas elementales de sensado-procesamiento de señal mixta interconectadas entre sí localmente. Esta interconexión puede ser activada o desactivada para cada par de columnas y filas adyacentes por medio de señales enviadas desde la periferia de la agrupación. La celda elemental de sensado-procesamiento incluye, al menos, la circuitería elemental de procesamiento para cómputo de la imagen integral, que se debe incluir en cada celda interior de la distribución espacial regular referida. Las celdas situadas en los bordes derecho e inferior de la distribución presentarían solamente un interruptor conectando al sur o al este respectivamente. La celda de la esquina inferior derecha no presentaría ningún interruptor.

El valor de cada pixel se representa mediante el voltaje V_{ij} asociado a un condensador conectado a la entrada no inversora de un amplificador operacional cuya salida se conecta a su entrada inversora de manera que éste quede configurado como buffer analógico. Este buffer realiza la copia del voltaje V_{ij} en la tensión $V_{c_{ij}}$ de un segundo condensador conectado a su salida. La operación de copia solo se realiza cuando es activada por la señal CP_EN.

Una vez completada la copia y desactivada esta señal, se activarían convenientemente las señales $\mathrm{EN}_{con_{i,i+1}}$ y $\mathrm{EN}_{con_{j,j+1}}$. La activación de estas señales, generadas de forma independiente para cada par de columnas y filas adyacentes de la matriz por circuitería de control situada en la periferia de la agrupación, cierra sendos interruptores, provocando que se produzca una redistribución de la carga almacenada en los condensadores que mantienen la copia del valor de su pixel correspondiente, esto es, $V_{c_{ij}}$. Esta redistribución de carga, por la propia naturaleza física de la operación, supone a su vez que todas las tensiones $V_{c_{ij}}$ de los condensadores interconectados mediante los dos interruptores ya citados acaben, tras dicha redistribución, manteniendo el mismo valor, que corresponderá al valor promedio de los valores de pixel $V_{c_{ij}}$ previos a habilitar la interconexión. Este promedio es directamente proporcional a la suma de dichos pixeles, y por tanto puede ser utilizado para extraer el valor de cada pixel de la imagen integral. Para el cálculo de cada uno de estos pixeles se requiere una reconfiguración de las interconexiones entre celdas acorde a la localización del pixel concreto que se esté considerando.

DESCRIPCIÓN DE LAS FIGURAS

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características de la invención, de acuerdo con un ejemplo preferente de realización práctica de la misma, se acompaña como parte integrante de esta descripción, un juego de figuras en las que, con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

Figura 1: estructura básica del hardware propuesto, esto es, una distribución espacial regular bidimensional de celdas de sensado-procesamiento localmente interconectadas. Esta interconexión puede ser reconfigurada de manera independiente para cada par de filas y columnas adyacentes mediante circuitería de control periférica.

Figura 2: circuitería elemental de procesamiento para cómputo de la imagen integral, que se debe incluir en cada celda interior de la distribución espacial regular mostrada en la Figura1. Las celdas situadas en los bordes derecho e inferior de la distribución presentarían solamente un interruptor conectando al sur o al este respectivamente. La celda de la esquina inferior derecha no presentaría ningún interruptor.

Figura 3: esquema simplificado de cómo se lleva a cabo en el hardware propuesto la reconfiguración por filas y columnas de la interconexión de celdas básicas como las que se detallan en la Figura 2.

Figura 4: ejemplo de realización de la circuitería elemental de procesamiento para cálculo de la imagen integral mostrada en la Figura 2. Este ejemplo se ha diseñado para una tecnología CMOS estándar de 0.18µm y 1.8V.

Figura 5: ejemplo de realización de la circuitería periférica elemental de control de reconfiguración por columnas para cálculo de la imagen integral. Este ejemplo se ha diseñado para una tecnología CMOS estándar de 0.18µm y 1.8V.

Figura 6: ejemplo de realización de la circuitería periférica elemental de control de reconfiguración por filas para cálculo de la imagen integral. Este ejemplo se ha diseñado para una tecnología CMOS estándar de 0.18µm y 1.8V.

En las citadas figuras se pueden destacar los siguientes elementos constituyentes:

1. Celda elemental de sensado-procesamiento
2. Señales de reconfiguración por cada par de columnas adyacentes.
3. Señales de reconfiguración por cada par de filas adyacentes.
4. Condensador.
5. Amplificador operacional conectado por su entrada no inversora al condensador anterior.
6. Condensador conectado a la salida.
7. Interruptor.
8. Interruptor.

EJEMPLO DE REALIZACIÓN PREFERENTE

A modo de ejemplo de realización preferente del hardware objeto de esta invención,, consideramos la Figura 1. En ella podemos ver una agrupación de celdas elementales de sensado-procesamiento de señal mixta (1) interconectadas entre sí localmente. La interconexión de cada celda con sus vecinas se reduce a aquellas celdas vecinas existentes al norte, sur, este y oeste. Por tanto, mientras que las celdas localizadas en el interior de la

agrupación estarán conectadas a cuatro celdas vecinas, las celdas en los bordes estarán conectadas como máximo a tres celdas vecinas, reduciéndose a dos celdas vecinas en las celdas de las esquinas. Para construir la agrupación, solo es necesario incluir en cada celda interior conexiones al este y al sur, que constituirán las conexiones al oeste y norte, respectivamente, de las celdas vecinas que las reciban. Las celdas situadas en los bordes derecho e inferior de la distribución presentarían solamente una conexión al sur o al este respectivamente. La celda de la esquina inferior derecha no incluiría ninguna conexión ni al este ni al sur. La interconexión entre celdas puede ser activada o desactivada para cada par de columnas y filas adyacentes a través de señales de control enviadas desde la periferia de la agrupación. La celda elemental de sensado-procesamiento (1) incluye, al menos, la circuitería que se muestra en la Figura 2. Sería necesaria también la inclusión en esta celda de un dispositivo fotosensor que lleve a cabo la transducción de luz a señal eléctrica que represente el valor de cada pixel. Sin embargo, dicho dispositivo y su topología de conexión a la circuitería que se describe a continuación no forman parte de esta invención, y por tanto han sido eliminados de la Figura 2. En el presente caso, consideramos que el valor del pixel se representa mediante el voltaje V_{ij} asociado a un condensador (4) conectado a la entrada no inversora de un amplificador operacional (5) cuya salida se conecta a su entrada inversora de manera que éste quede configurado como buffer analógico. Este buffer realiza la copia del voltaje V_{ij} en la tensión $V_{c_{ij}}$ del condensador (6) conectado a su salida. La operación de copia solo se realiza cuando es activada por la señal CP_EN, la cual controla circuitería interna del amplificador operacional. Una vez completada la copia y desactivada esta señal, se activarían convenientemente las señales $\mathrm{EN}_{con_{i,i+1}}$ y $\mathrm{EN}_{con_{j,j+1}}$. La activación de estas señales cierra los correspondientes interruptores (7) y/o (8), provocando que se produzca una redistribución de la carga almacenada en los condensadores que mantienen la copia del valor de su pixel correspondiente, esto es, $V_{c_{ij}}$. Esta redistribución de carga supone, por la propia naturaleza física de la operación, que todas las tensiones $V_{c_{ij}}$ de los condensadores interconectados mediante los interruptores controlados por $\mathrm{EN}_{con_{i,i+1}}$y $\mathrm{EN}_{con_{j,j+1}}$ acaben, tras dicha redistribución, manteniendo un mismo valor, que corresponderá al valor promedio de la copia de los valores de pixel $V_{c_{ij}}$ previos a habilitar la interconexión. Este promedio es proporcional a la suma de dichos pixeles, y por tanto puede ser utilizado para extraer el valor de cada pixel de la imagen integral. Esto a su vez requiere una reconfiguración de interconexiones entre celdas para el cálculo de cada uno de estos pixeles. La Figura 3 muestra un esquema simplificado de cómo se lleva a cabo dicha reconfiguración. Existen señales de habilitación/deshabilitación de conexiones entre celdas

vecinas pertenecientes a filas y columnas adyacentes. Por ejemplo, $\mathrm{EN}_{con_{1,2_C}}$ en la Figura 3 correspondería a la señal $\mathrm{EN}_{con_{i,i+1}}$ en la Figura 2 para la celda situada en la esquina superior izquierda de la agrupación. Igualmente, $\mathrm{EN}_{con_{1,2_F}}$ en la Figura 3 correspondería a la señal $\mathrm{EN}_{con_{j,j+1}}$ en la Figura 2 para esta misma celda. Estas señales pueden habilitar o deshabilitar la interconexión, mediante interruptores, de todas las celdas situadas en las columnas 1 y 2 y en las filas 1 y 2 de la agrupación respectivamente. Dado que cada pixel de la imagen integral se define, de acuerdo al estándar OpenVX, como la suma de todos los pixeles situados en la imagen original por encima y a la izquierda de ese pixel, el esquema y modo de operación representados simplificadamente en la Figura 3 constituyen hardware capaz de proveer dicho cómputo. Por ejemplo, para calcular el valor de la imagen integral del pixel situado en la posición (2,2), debemos sumar los valores de los pixeles (1,1), (1,2), (2,1)y (2,2). Esto lo podemos conseguir, una vez copiados los valores de estos pixeles en las correspondientes tensiones $V_{c_{ij}}$, mediante la activación exclusivamente de las señales $\mathrm{EN}_{con_{1,2_C}}$ y $\mathrm{EN}_{con_{1,2_F}}$, manteniendo desactivadas el resto de señales de interconexión tanto para columnas como para filas. Una vez activadas, estas señales provocan la redistribución de carga en los pixeles anteriormente mencionados, alcanzando cada una de las señales $V_{c_{ij}}$ implicadas el mismo valor al finalizar este proceso de redistribución: el valor promedio de sus valores previos a la redistribución de carga, que en última instancia implica el valor promedio de los pixeles (1,1), (1,2), (2,1)y (2,2). Este valor promedio es proporcional a la suma requerida para ese valor de pixel de la imagen integral. Reconfigurando convenientemente la interconexión de celdas, todos los valores de pixel de dicha imagen integral pueden ser calculados.

Las Figuras 4, 5 y 6 muestran, respectivamente, un ejemplo operativo de implementación de la celda básica de procesamiento (1) de la Figura 2 y de las celdas digitales periféricas para reconfiguración por filas y columnas que generen las señales mostradas en la Figura 3. El diseño ha sido realizado en ambos casos para una misma tecnología CMOS estándar de 0.18µm y 1.8V. En la Figura 4 se puede observar el mapeo de los diferentes elementos de circuito enumerados en la Figura 2 así como las dimensiones de cada uno de los transistores que componen la circuitería de procesamiento propuesta. Asimismo, se ha incluido una posible topología de conexión de dispositivo fotosensor (un fotodiodo en este caso) así como una posible realización del amplificador operacional con señal de activación CP_EN actuando como buffer analógico. Se puede destacar el hecho de que los condensadores (4) y (6) se implementan en este ejemplo de realización mediante

transistores nMOS, al igual que los interruptores (7) y (8). En esta realización, el tiempo de copia del valor de pixel V_{ij} en la tensión $V_{c_{ij}}$ es de aproximadamente 150ns para un rango de señal $V_{ij} \in [0.5,1.4]$. El tiempo requerido para llevar a cabo la redistribución de carga una vez activadas convenientemente las señales $\mathrm{EN}_{con_{i,i+1}}$ y $\mathrm{EN}_{con_{j,j+1}}$ depende directamente del número de celdas implicadas en dicha redistribución: a mayor número de celdas, mayor tiempo de redistribución de carga es necesario. Por tanto, el tiempo de cómputo de cada valor de pixel de la imagen integral se incrementará conforme más pixeles de la imagen original se deban sumar. Como referencia, para esta realización, con una imagen de resolución 320×240 pixeles, el tiempo máximo de cómputo de un pixel de la imagen integral es de 3μs. En la Figura 5 y 6 se muestra un ejemplo de realización de circuitería capaz de generar cada una de las señales $\mathrm{EN}_{con_{i,i+1}}$ y $\mathrm{EN}_{con_{j,j+1}}$. Se basa en un registro de desplazamiento formado por una cadena secuencial de circuitos biestables (flip-flops) interconectados. Este registro se debe pre-cargar con el patrón de interconexión requerido para el pixel de la imagen integral que se desee calcular en cada momento. Una vez realizada dicha pre-carga, las señales $\mathrm{EN}_{con_{i,i+1}}$ y $\mathrm{EN}_{con_{j,j+1}}$ se generan cuando la señal SUM_EN se activa.

REIVINDICACIONES

1.- Hardware para cómputo de la imagen integral formado por una pluralidad de celdas elementales (1) de procesamiento de señal mixta interconectadas entre sí localmente, de tal forma que cada celda está solamente interconectada con las celdas vecinas existentes al norte, sur, este y oeste, no habiendo interacción directa más allá de esa periferia; y que se caracteriza porque cada celda comprende al menos un condensador (4) cuyo voltaje representa el valor de pixel; y donde este condensador (4) se conecta al terminal no inversor de un amplificador operacional (5) cuya salida se conecta a su entrada inversora de manera que éste quede configurado como buffer analógico; y donde este amplificador operacional incorpora una señal de control que habilita la copia de la tensión de pixel fijada en el condensador (4) a su tensión de salida; y donde un condensador (6) conectado a la salida del amplificador operacional mantiene dicha copia del valor de pixel; y donde el condensador (6) se interconecta mediante interruptores (7,8) con celdas vecinas existentes al este y sur; y donde la activación/desactivación de los interruptores se realiza mediante señales digitales de control generadas en la periferia de la pluralidad de forma independiente para cada par de filas y columnas adyacentes de celdas de dicha pluralidad; y donde se produce una redistribución de la carga almacenada en el condensador (6) con los correspondientes condensadores de las celdas vecinas cuando se active cualquiera de los interruptores (7,8); y donde el valor final de tensión en el condensador (6) tras esta redistribución de carga constituye un valor directamente proporcional al de un determinado pixel de la imagen integral.

2. - Hardware para cómputo de la imagen integral según reivindicación 1, caracterizado por que el valor de la tensión del condensador (4), que representa el valor de un pixel de la imagen, puede ser copiado en cualquier momento al valor de tensión del condensador (6) mediante la activación de un señal de control del amplificador operacional (5) que los interconecta.

3. - Hardware para cómputo de la imagen integral según una cualquiera de las reivindicaciones 1 a 2, caracterizado por incorporar un condensador (6) que mantiene una copia del valor de pixel representado por la tensión en el condensador (4) y se conecta mediante interruptores (7,8) con celdas vecinas existentes al este y sur.

4. - Hardware para cómputo de la imagen integral según una cualquiera de las reivindicaciones 1 a 3, caracterizado por llevar a cabo la activación/desactivación de los interruptores (7,8) mediante señales digitales de control.

5.- Hardware para cómputo de la imagen integral según una cualquiera de las reivindicaciones 1 a 4 caracterizado por que las señales digitales de activación/desactivación de los interruptores (7,8) se generan en la periferia de la pluralidad, de manera independiente por cada par de filas y columnas adyacentes de celdas de dicha pluralidad.

6. – Método para cómputo de la imagen integral que opera sobre una pluralidad de celdas elementales (1) de procesamiento de señal mixta interconectadas entre sí localmente, de tal forma que cada celda está solamente interconectada con las celdas vecinas existentes al norte, sur, este y oeste, no habiendo interacción directa más allá de esa periferia, implementado en un hardware según se define en las reivindicaciones anteriores, caracterizado por una primera etapa de copia del valor de pixel representado por la tensión del condensador (4) en la tensión del condensador (6), haciendo uso de un amplificador operacional (5); y por una segunda etapa en la que se lleva a cabo un proceso de redistribución de la carga almacenada en el condensador (6) con la carga almacenada en otras celdas de la pluralidad determinado por señales de activación de los interruptores (7,8) provenientes de la periferia y establecidas de manera independiente por cada par de filas y columnas adyacentes de celdas de dicha pluralidad.

7. – Método para cómputo de la imagen integral según reivindicación 6, caracterizado por que la activación de los interruptores (7,8) conlleva un proceso de redistribución de la carga almacenada en la tensión del condensador (6) de cada una de las celdas de la pluralidad interconectadas por los interruptores activados.

8.- Método para cómputo de la imagen integral según una cualquiera de las reivindicaciones 6 a 7, caracterizado por que el proceso de redistribución de carga iniciado por la activación de los interruptores (7,8) conduce a un estado final de las tensiones del condensador (6) de las celdas implicadas tal que el valor de dicha tensión es el mismo para todas las celdas y coincide con el valor promedio de esas mismas tensiones antes de la activación de los interruptores.

9.- Método para cómputo de la imagen integral según una cualquiera de las reivindicaciones 6 a 8, caracterizado porque el valor promedio de tensión mantenido por el condensador (6) tras el proceso de redistribución de carga habilitado por la activación de los interruptores (7,8) constituye un valor directamente proporcional al de un determinado pixel de la imagen integral, cuya localización vendrá determinada por las filas y columnas adyacentes interconectadas mediante las señales provenientes de la periferia que controlan la activación/desactivación de los interruptores (7,8).

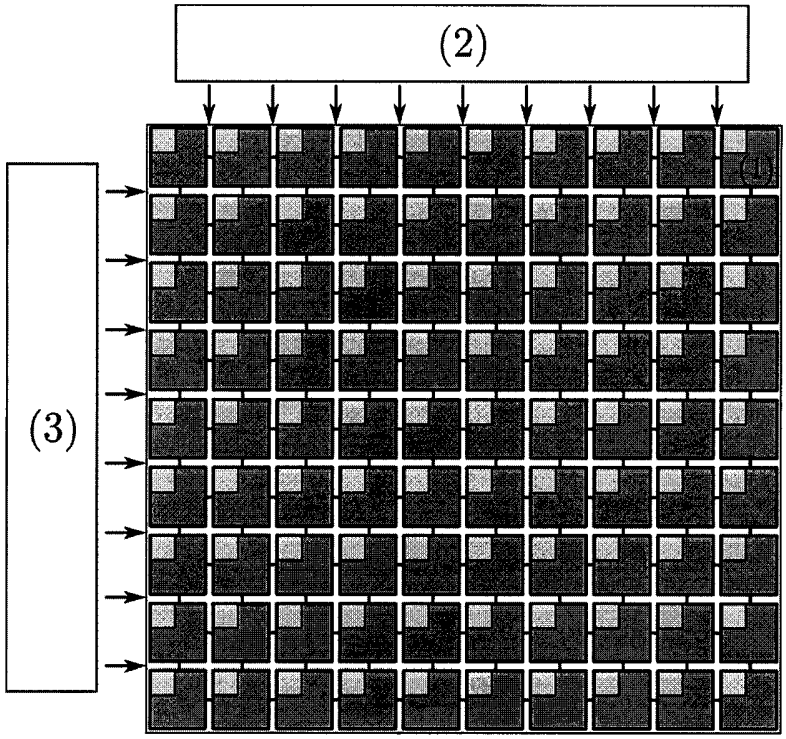


Figura 1

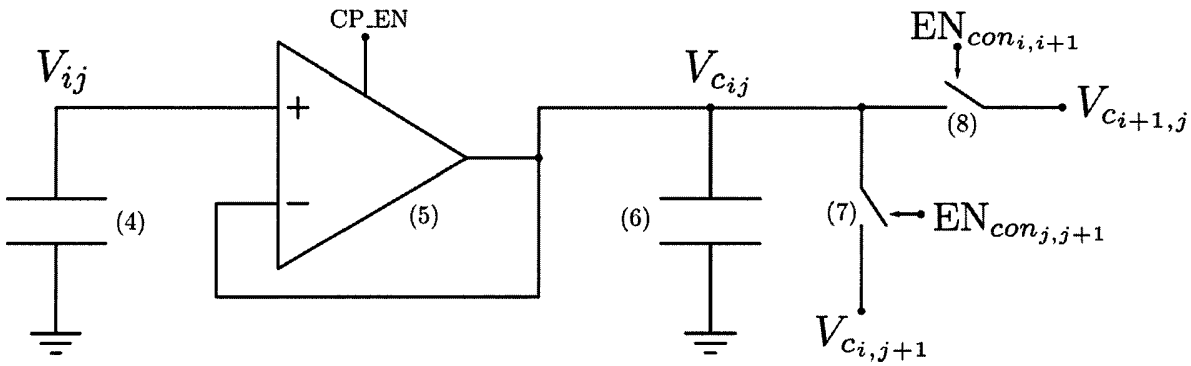


Figura 2.

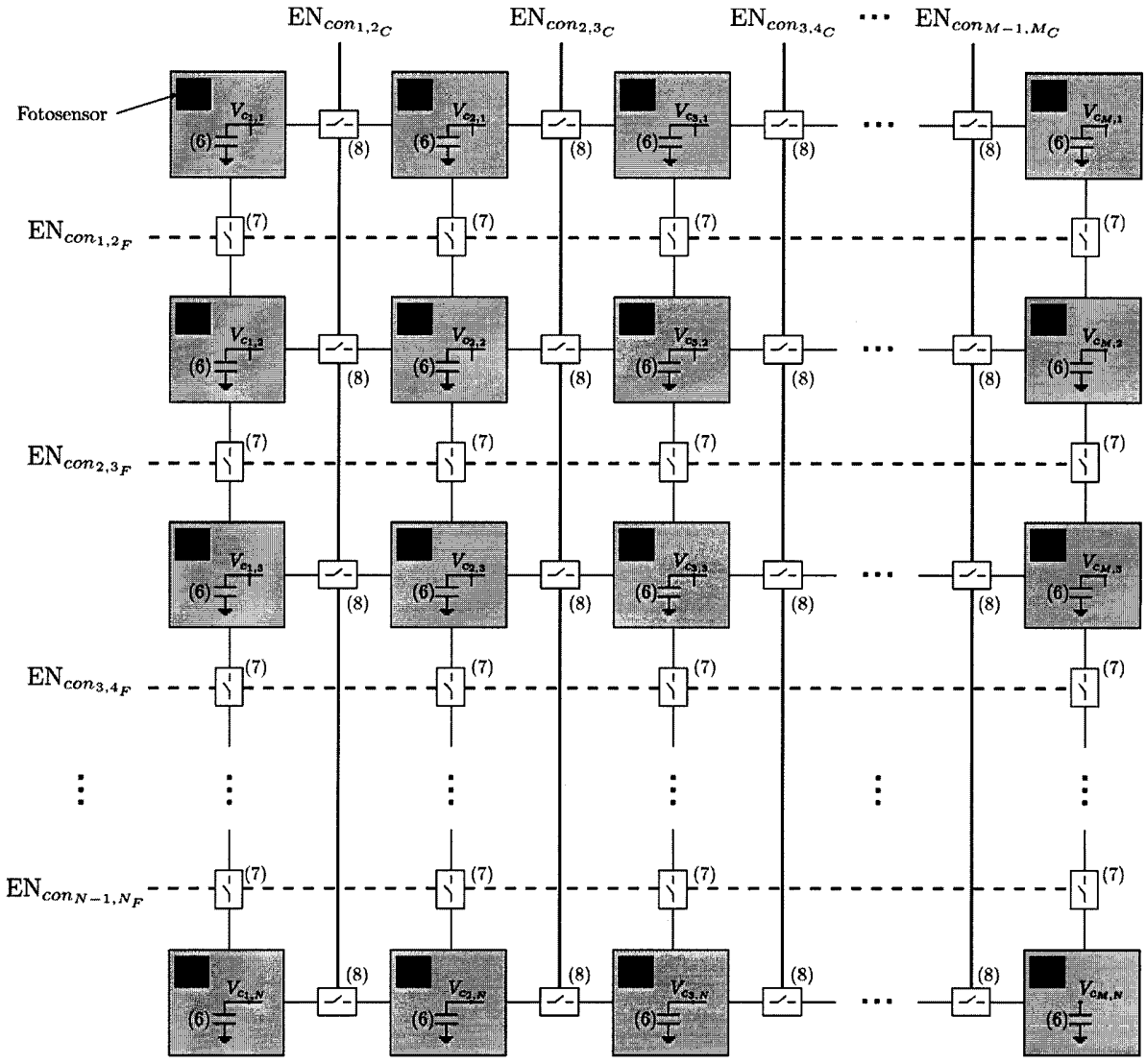

$EN_{con_{1,2_C}}$
$EN_{con_{2,3_C}}$
$EN_{con_{3,4_C}}$
$EN_{con_{M-1,M_C}}$
Fotosensor
$EN_{con_{1,2_F}}$
$EN_{con_{2,3_F}}$
$EN_{con_{3,4_F}}$
$EN_{con_{N-1,N_F}}$
(6)
(7)
(8)

Figura 3

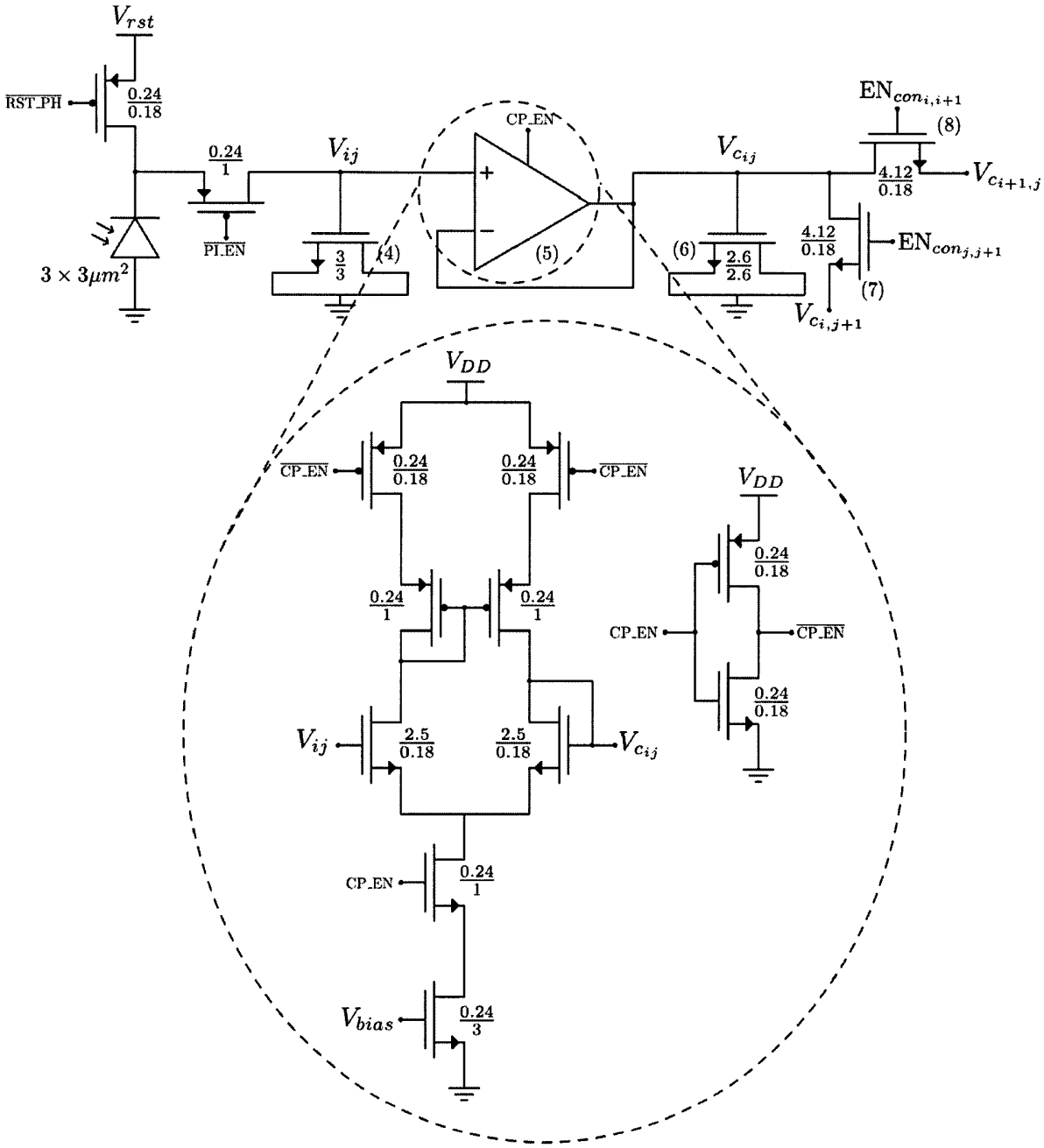

V_{rst}
RST_PH
0.24/0.18
0.24/1
PI_EN
$3 \times 3\mu m^2$
V_{ij}
3/3
(4)
CP_EN
(5)
$V_{c_{ij}}$
(6)
2.6/2.6
4.12/0.18
(7)
$V_{c_{i,j+1}}$
$EN_{con_{i,i+1}}$
(8)
$V_{c_{i+1,j}}$
$EN_{con_{j,j+1}}$
V_{DD}
$\overline{CP_EN}$
0.24/0.18
0.24/1
2.5/0.18
V_{bias}
0.24/3

Figura 4.

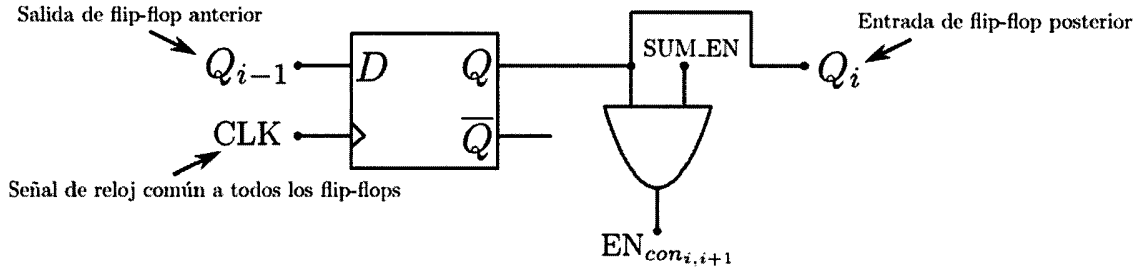


Figura 5.

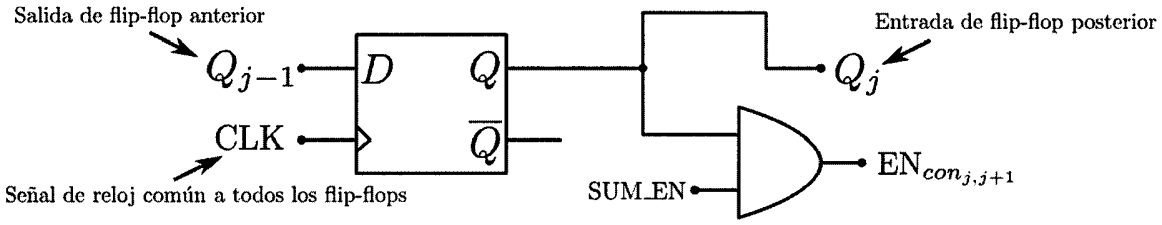


Figura 6.